超高集成度的RFSoC将诸多优势带给5G等应用

Ultra high integrated RFSoC brings multiple benefits to 5G applications

赛灵思（Xilinx）基于16nm UltraScale+™ MPSoC（多处理器SoC）架构的Zynq® RFSoC（射频片上系统）将RF信号链中的各种器件和功能完美集成在一个单芯片中，包括高性能RF数据转换器（ADC和DAC）、RF-Analog（射频模拟）、高密度、高吞吐量SD-FEC（软判定前向纠错）内核以及高性能16nm UltraScale+可编程逻辑和ARM多处理系统，打造出了一个完整的模数信号链。

Zynq RFSoC面向5G NR（新无线电）和massive-MIMO、5G基带、5G毫米波移动回程、固定无线接入、DOCSIS 3.1远端物理层（Remote-PHY）节点、测试测量和卫星通信等高性能RF应用。

功耗和封装尺寸减少50-75%

Zynq RFSoC最多可将16x16个电信级射频采样ADC和DAC与可编程逻辑和ARM多处理子系统紧密集成在一起，系统的功耗和封装尺寸因此可减少多达50-75%。高集成度可以为客户带来巨大的成本优势，比如节约采购分立器件的物料成本、设计和开发系统的成本、运行成

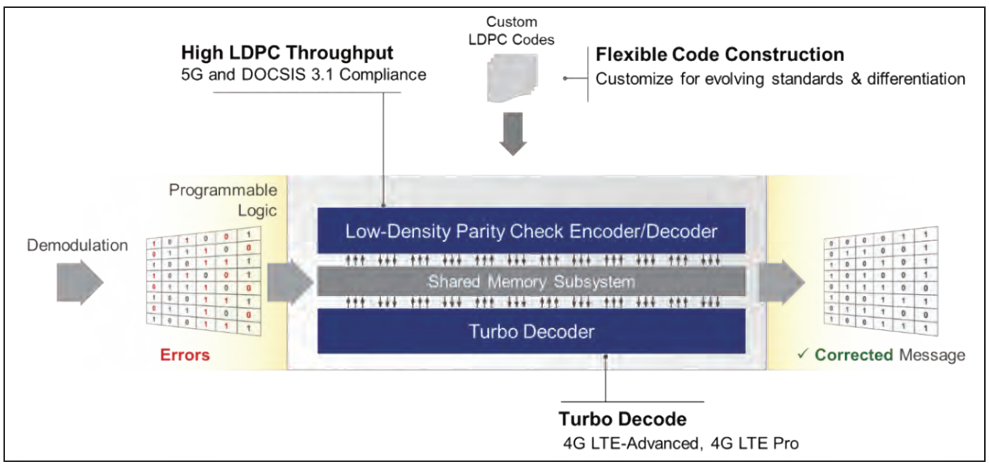


图1：集成式全可编程LDPC编解码器相对软核而言可将吞吐量提升10-20倍。

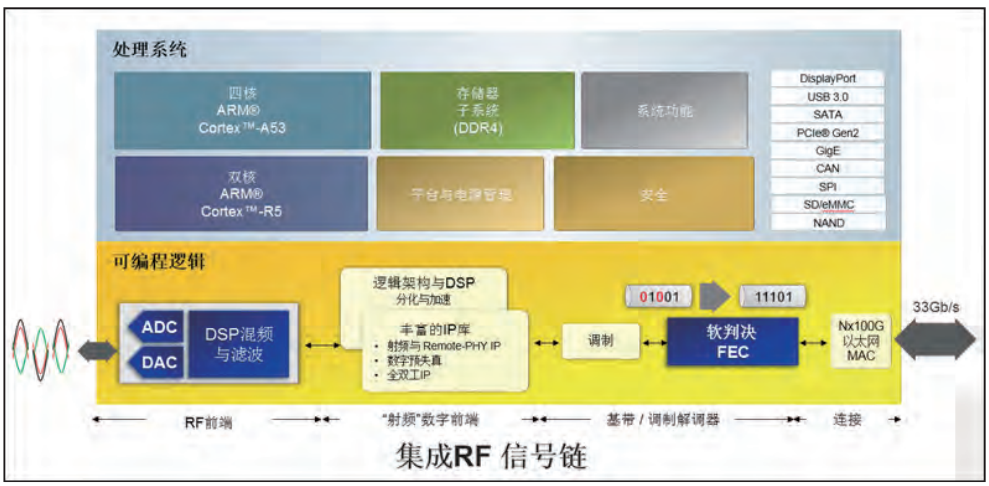


图2：从无线电到调制解调器整合RF信号链。

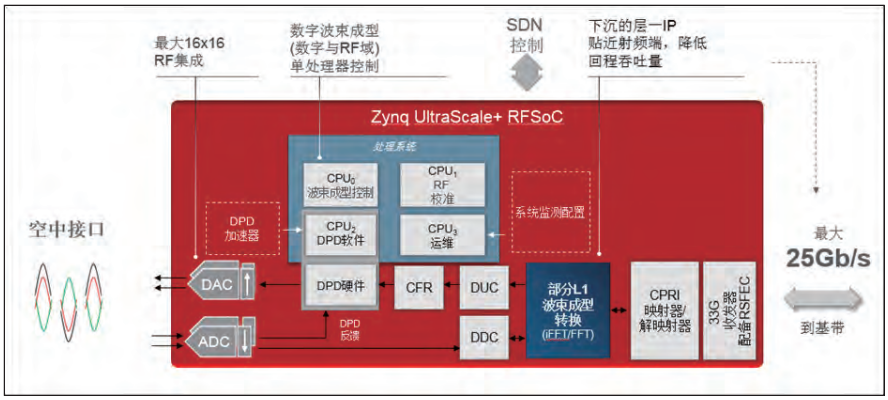


图3：利用Zynq RFSoC实现RF前端和数字前端无线电。

本、系统空间占用的成本等。

除了RF数据转换器之外，集成模块还包括高能效的DSP子系统，支持灵活配置和RF信号调节。具体而言，Zynq RFSoC包括：8个4GSPS或16个2GSPS 12位ADC，支持数字上变频（DUC）；8-16个6.4GSPS 14位DAC，支持数字下变频（DDC）；直接RF采样，支持灵活的模拟设计，提高精度并降低功耗。

直接RF采样，也就是能够直接对抵达的信号进行采样的能力，无需先向下转换到中频（IF），这能为RF设计人员提供更高的灵活性。直接对信号进行数字化，再用现代化DSP技术进行信号调节，这能提高数字域的性能和可编程性，对先进的16nm FinFET工艺而言尤其有利。此前，直接采样技术的推广速度比较慢，主要原因是其经济性和能效低下。该技术集成到SoC后，可提高其在更广泛市场中的应用。

软判定LDPC前向纠错解决信号受损问题

前向纠错对RF信号链和所有通信都至关重要，这种DSP技术能解决铜缆、光纤或空中接口等不同介质的数据传输信号受损问题（诸如信号衰减、失真等）。赛灵思在16nm UltraScale+ FPGA和MPSoC中引入了硬化Reed-Solomon FEC（RS-FEC）。

由于下一代无线和有线宽带对吞吐量提出了很高的要求，因此5G接入/回程和DOCSIS 3.1标准需要计算强度更高的FEC编码方案，即低密度奇偶校验编码（LDPC），以尽可能提高RF传输的频谱效率。LDPC实现方案涵盖FPGA中的IP软核乃至ASSP或ASIC中的固定硬化的内核，而Zynq RFSoC能实现灵活性、吞吐量和能效的完美平衡，这要归功于可编程器件中全球首批硬化且全可编程的LDPC编解码内核（图1）。

有关功能包括：

- 高达42Gb/s LDPC编码和10Gb/s解码的系统吞吐量
- Turbo解码，支持LTE向后兼容4G LTE-Pro和LTE-Advanced
- 相对于IP软核实现方案而言，动态功耗降低80%
- 灵活可定制的LDPC 编码不仅支持不断发展的标准而且还可实现产品差异化
- 软判定解码，可实现更高的可靠性

考虑到计算密集型矩阵乘法和持续的存储器读/写要求，SD-FEC硬化能满足高吞吐量系统的下一代标准要求，如5G基带。

全面的RF信号链简化校准和同步操作

从直接RF转换和信号调节到FPGA逻辑加速和差异化乃至信号损坏修复，Zynq集成了全面的RF信号链（图2）。

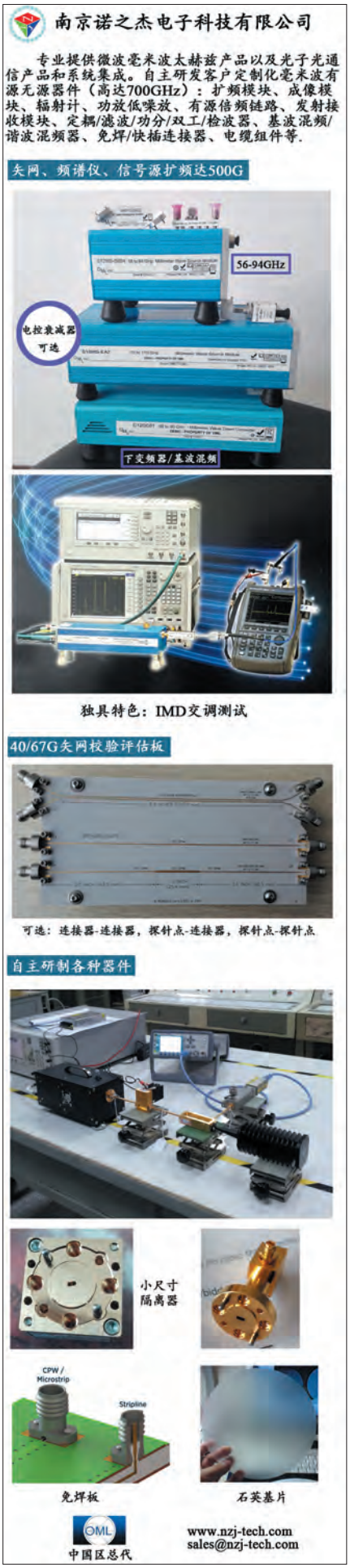
信号链功能如下：

- 集成数据转换器中的RF信号调节
- 利用IP软核和定制FPGA逻辑实现线性化、纠错、差异化和加速
- 基带处理和加速，通过集成DSP和FEC内核纠错
- 多个100G以太网MAC内核
- 33Gb/s收发器可满足不断发展的连接标准

RFSoC紧密集成ARM处理器子系统，能为模拟、数字和嵌入式设计提供统一平台，从而简化了信号链上的校准和同步操作。

5G新无线电（NR）和Massive-MIMO

5G新无线电的远端射频单元设计与实现是赛灵思RFSoC的最佳应用之一。既然Massive MIMO收发器通常能以二维阵列的形式整合大量天线（32、64乃至1,024+），借助Zynq RFSoC可避免使用大量的大型分立组件，这是一项突破性进展。常见的SoC平台能简化射频前端（RFFE）和数字前端（DFE）之间移动数据造成的设计和集成开销。



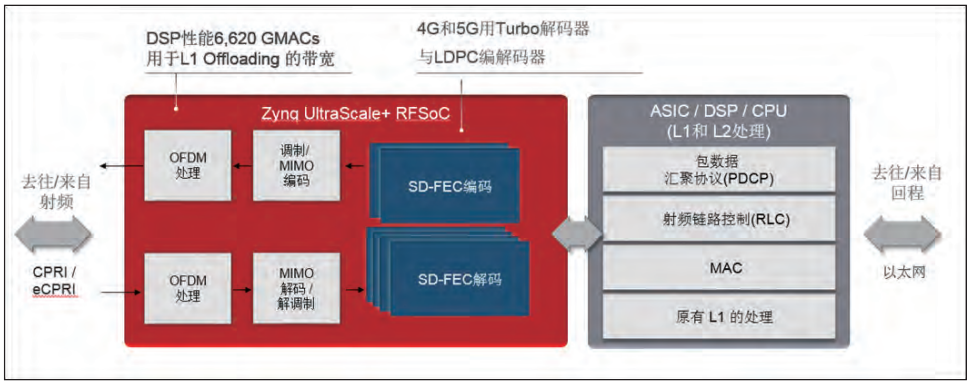


图4：Zynq RFSoC支持5G基带L1加速。

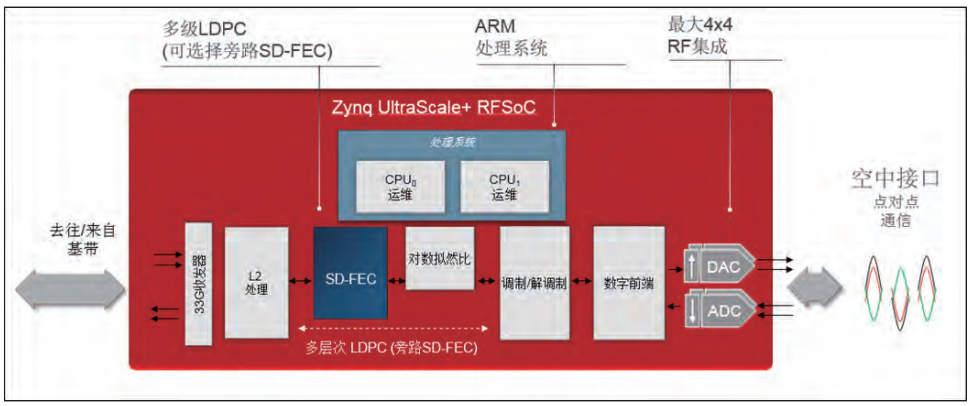


图5：在无线回程中整合RF-Analog和SD-FEC。

不过，5G无线电的RFSoC实现方案不只是ADC和DAC集成。Zynq RFSoC的可编程逻辑和处理子系统还包含无线电数字前端（图3）。具体而言，RFSoC可提供：

- 在UltraScale+ 16nm FinFET芯片上提供按钮式491MHz架构性能
- 支持高能效信号处理与波束赋形的嵌入式DSP模块
- 数字预失真（DPD）、DUC、DDC和峰值因数抑制（CFR）的相关IP
- 支持运营和维护（O&M）的ARM Cortex-A53和/或Cortex-R5
- 用于RF校准、DPD软件和波束赋形控制的ARM Cortex-A53内核
- 灵活的L1-Split IP，可降低去程吞吐量需求
- 33Gb/s收发器CPRI接口，支持高性能去程网络接口
-

基带

基带单元是无线接入网（RAN）中计算强度最大的工作负载之一。为进一步提高成本效益，确保能够集中管理不同的无线电站点，4G/LTE网络中的基带单元通常在中央局池化，同时无线电与天线阵列共址。在基带卡中，FPGA、DSP、ASIC和GPPU共同承担工作负载。不过，随着电信级带宽提升、载波汇聚以及波束赋形需要矩阵计算功能，5G基带所需的硬件并行功能已经超出了目前4G/LTE的水平。

对可部署基带卡的海量吞吐量来说，制造商可将计算强度最大的任务（L1 PHY加速和卸载）交给Zynq RFSoC完成，这种工作负载此前由DSP或ASIC完成。考虑到带宽要求、大量天线路径、灵活的数字化要求（波形参数化）和频谱效率LDPC吞吐量要求，5G中的L1加速计算强度比4G-LTE更高。

除了提高吞吐量，SD-FEC的灵活性还可支持5G最新3GPP版中指定的LDPC编码方案，能用用户自定义编码帮助厂商实现差异化。Turbo解码在5G逐渐部署情况下能支持4G LTE-Advanced和4G LTE-Advanced Pro。简而言之，就无线而言，SD-FEC结合了软核的灵活性和ASIC的高性能。制造商能随着3GPP标准不断发展演进，并用RFSoC解决方案探索专有LDPC编码实现差异化。

如图4，Zynq RFSoC凭借如下优势，成为重要的基带计算引擎：

- 最高达到42Gb/s编码和10Gb/s解码的LDPC SD-FEC吞吐量
- 超过6,000GMAC的信号处理带宽，支持L1 Offloading
- 功耗优化型33Gb/s收发器，支持12.2G CPRI/eCPRI，并能扩展到16G & 25G CPRI

能效对基带处理来说至关重要，在LDPC配置中，单个Zynq的SD-FEC内核在可编程逻辑中采用30,000个逻辑单元，动态功耗改善5倍。RFSoC相对于软核吞吐量实现了10-20倍的提升，同时满足统一基带严格的功耗和散热要求。

无线回程

随着蜂窝部署密度的增加，将分布式／中央单元连接至核心网络的回程链路需要更高的吞吐量和容量。无线连接仍是最灵活的回程方式，而5G则能充分利用毫米波频谱（从30GHz到300GHz）实现接近光纤的连接速度。

采用Zynq RFSoC实现的无线回程系统是安装在通讯塔或其它城市基础设施上的完全处于户外的单元，不仅可包含RF前端、数字无线电前端和调制解调器，而且还可执行数据包处理任务。与无线电或基带不同，回程主要利用RFSoC的RF-模拟和SD-FEC技术。

有了采用4x4信道系统的领先回程架构，可通过集成ADC和DAC组件将功耗和占位面积锐减30%到50%。尽管信道数量少于远程无线电，但回程吞吐量很大，上行速率达每秒30Gb/s。如图5所示，无线回程的Zynq RFSoC实现方案包括：

- 支持运维（O&M）功能的ARM处理系统
- 多达4x4个TX/RX通道，支持RF集成（器件支持8x8）
- 可选旁通模式的LDPC SD-FEC（针对校正率较低的传输）

面向模数设计的可扩展SoC平台

有了全可编程的Zynq RFSoC，各种不同的终端市场可充分利用相同的模数硬件，这不仅可减少功耗和封装尺寸，而且还可实现可扩展性和不同的设计版本。RF、数字和嵌入式设计人员可能始终需要平衡相互冲突的需求，而统一的平台则可简化各领域间子系统的集成、同步和校准，能够适应不断发展变化的标准需求。对于所有终端市场而言，集成都是无缝实现和适应系统的最佳途径。■

赛灵思（Xilinx）
china.xilinx.com/rfsoc