CoverFeature
封面专题

# 集成RF采样数据转换器的RFSoC为5G新无线电提供支持

## RFSoC Integrates RF Sampling Data Converters for 5G New Radio

Anthony Collins、Harpinder Matharu和Ehab Mohsen，
赛灵思公司，美国加利福尼亚州圣何塞

第五代无线接入网络预计能够满足2020年及以后新用例和新应用的系统与服务要求。5G新无线电（5G NR）预计提供每用户10Gbps的峰值数据速率，是第四代无线接入网络的近100倍。4G LTE-Advanced Pro，也就是部分厂商所称的4.5-4.9G，利用更高带宽和载波聚合能实现高达1Gbps的峰值数据速率。LTE-Advanced Pro的每用户持续数据传输率一般介于25-50Mbps之间。5G NR的目标是通过将每用户持续数据传输率推高到500Mbps，实现100倍的提升。

频谱效率显著提高和充分利用超过6GHz的闲置频率是实现千兆位级数据速率的增强型移动宽带（eMBB）的关键因素。大规模MIMO（或大型天线阵列），是实现这一数据数率提升的基本技术。大规模MIMO通过在频率和时间之外新增空间维度，显著提高了频谱效率。通过阵列增益和多波束正交性得到的高信噪比(SNR)让多个用户能够使用相同的时间和频率分配。

具有更高带宽的时分双工（TDD）频段，如频段41（2496-2690MHz）和频段42（3400-3600MHz）是6GHz以下频段大规模MIMO部署的主要候选对象。充分利用闲置的厘米波和毫米波频段（在15、28、39和70-80GHz频率上有大量可用带宽存在）是部署6GHz以上5G NR大规模MIMO的关键。

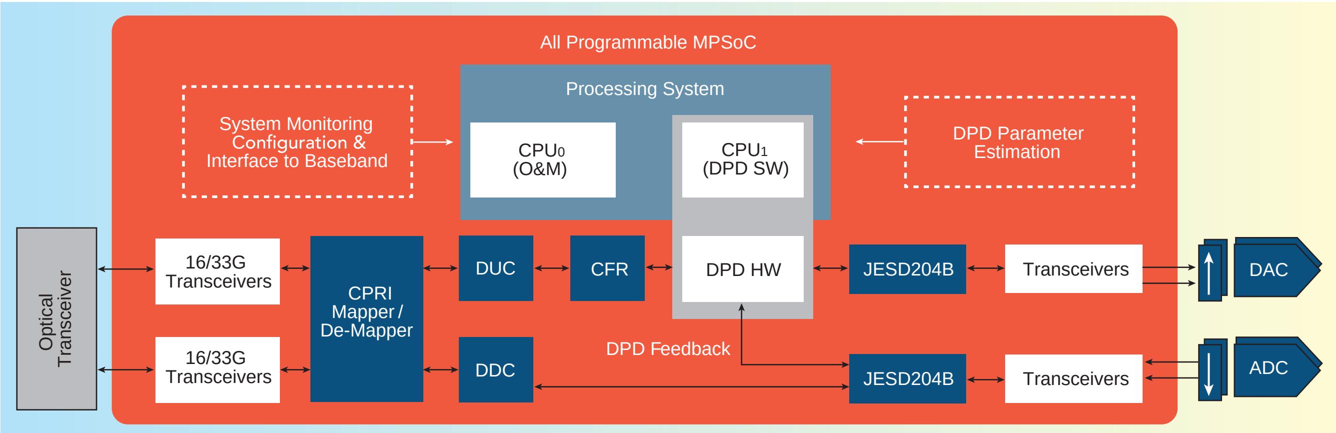



图1：全可编程MPSoC用作DFE平台。

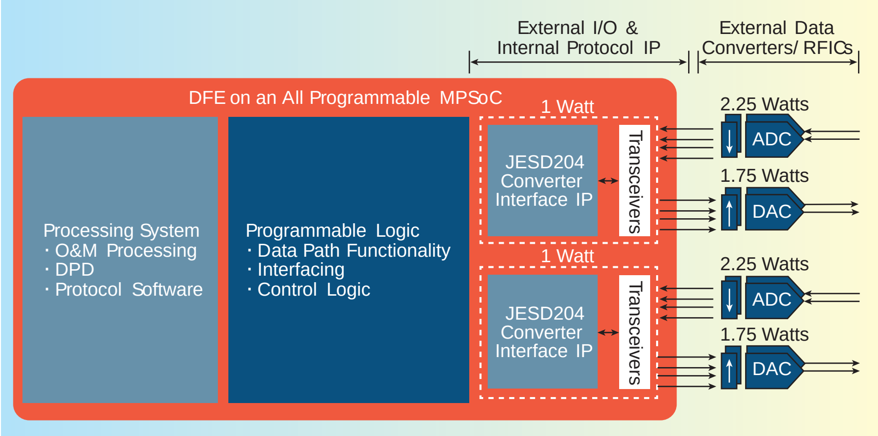



图2：与外部宽带数据转换器连接的无线电DFE接口。

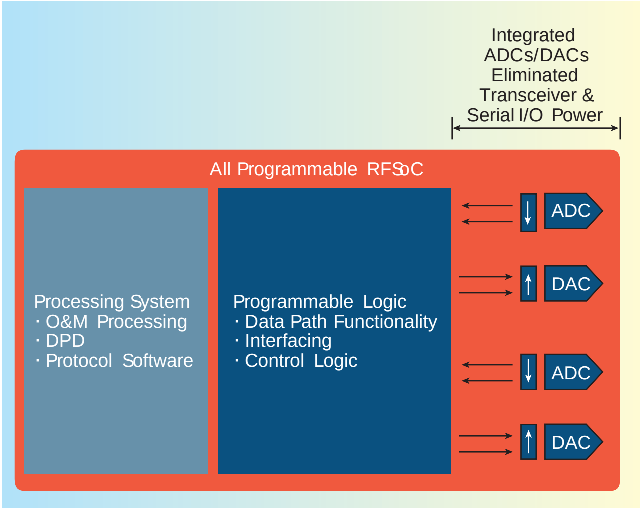



图3：消除RF组件功耗和接口功耗。

全天线阵列的总传输功耗一般在40-100W，但每天线功耗根据阵列中使用的天线数量可以下降到数百毫瓦。这样就可以在典型的RF系列解决方案的最后阶段使用低成本、低精度模拟组件。但对每天线使用全数字波束赋形的有源信号链并不常见，常见的是混合方案，即让单个有源信号链供一组天线共享，同时波束赋形功能通过使用移相器，一部分在数字域中完成，另一部分在模拟域中完成。

与部署超多通道数有关的功耗、封装尺寸和成本加上更高信号带宽是主要障碍。对商用部署来说，既需要提高集成度，也需要大幅降低功耗。将RF类组件或RF采样数据转换器集成到无线电数字前端片上系统（SoC）便可降低总体系统的功耗、封装尺寸和成本,从而能够克服这一障碍。

**表1**

**使用集成子系统在数字无线电(带DPD)中节约的功耗**

| | 4x4 100 MHz | 4x4 200 MHz | 8x8 100 MHz |
|---|---|---|---|
| Discrete Implementation | | | |
| Programmable Device | 15 W | 23 W | 23 W |
| ADC/DAC Components | 16 W | 16 W | 32 W |
| TOTAL POWER | 31 W | 39 W | 55 W |
| Integrated RF-Analog | | | |
| Programmable Device + RF Subsystem | 18 W | 25 W | 27 W |
| TOTAL POWER SAVINGS | 41% | 37% | 51% |

## 借助RFSoC实现可行的5G NR

5G NR大规模MIMO设计要求在无线电中使用大量有源信号链，以连接到阵列中的每根天线或天线子集。这些有源信号链传统上是由数字转换器、滤波器、混合器、功率放大器或低噪声放大器组成，可能会导致系统的功耗、外形尺寸和成本显著增加。大规模MIMO系统中大量用于数字或混合波束赋形的有源信号链让系统功耗和封装尺寸过大，难以实现商业上可行的系统。在RF前端（RFFE）和数字前端（DFE）传输数据产生的相关成本是5G中必须在软件、硬件和系统级解决的一个主要难题。

新推出的这个RFSoC技术通过器件集成可克服这一难题。该平台采用16nm FinFET芯片工艺，将RF类模拟组件整体集成到多处理器SoC（MPSoC）中，在单颗芯片上实现全软硬件可编程射频系统（即RFSoC）。该架构将FPGA可编程逻辑与ARM类处理子系统完美结合在一起，采用12位4GSPS RF采样模数转换器（ADC）和14位6.4GSPS直接RF数模转换器（DAC），同时具备最佳的数字下变频和上变频信号处理能力。

该RFSoC采用全可编程MPSoC架构——一种用于无线电DFE设计的成功平台。如图1所示，基本架构使用ARM处理子系统实现运维（O&M）功能、数字预失真（DPD）和协议软件，而FPGA架构则用于实现高性能数字路径功能、控制逻辑和高速接口。现在通过集成通信级RF采样ADC和DAC，去除多个分立组件，RFSoC既实现了紧凑的无线电部分外形尺寸，还允许在天线阵列内部或之后嵌入DFE功能。其结果就是LTE-Advanced Pro、5G有源天线系统和大规模MIMO无线电迫切需要的能效、外形尺寸缩减、设计周期缩短和设计灵活性迈上新的高度。

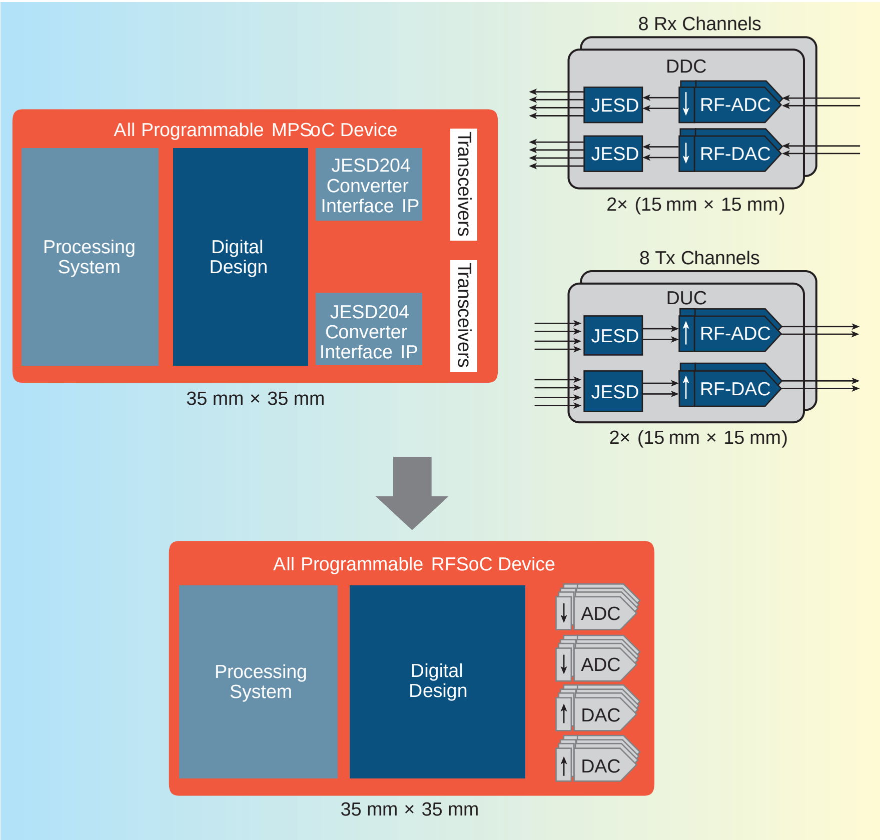



图4：8 Tx/8 Rx无线电中的PCB面积缩减。

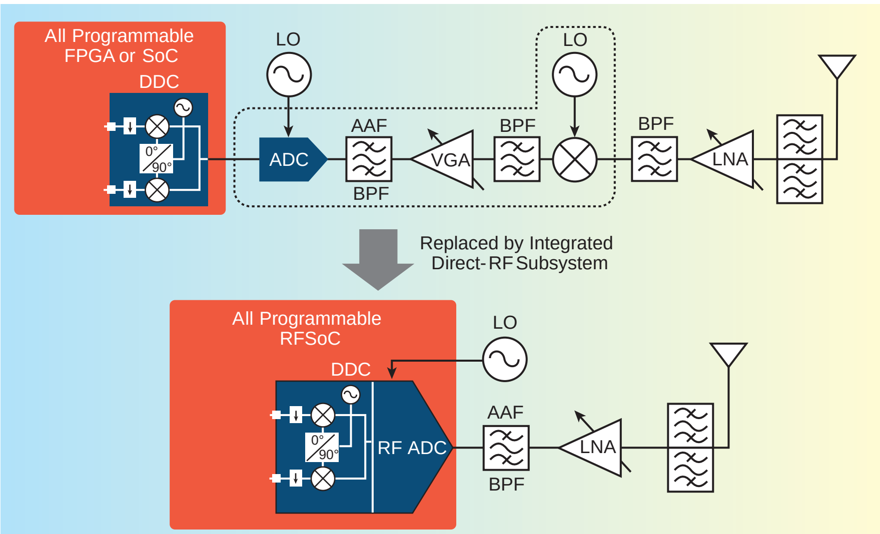



图5：超外差采样接收器和直接采样接收器的比较。

## 降低功耗

图2所示的是使用分立RF采样数据转换器将数据从宽带（1GHz）2×2 RFFE传输到DFE处理时所产生的高功耗成本。即便在数据转换器中集成有数字下变频器（DDC）或数字上变频器(DUC)，仍然需要向DFE发送和从DFE接收大量数据。每个Quad接收器显示的I/O功耗数值（每四个通道1W）包括在16nm MPSoC器件上实现JESD204B协议所发生的功耗。除接口功耗外，分立数据转换器组件的功耗也居高不下。典型的单通道RF采样ADC的功耗约为2.25W，RF采样DAC的功耗约为1.75W。

如图1所示的DFE信号处理，其采用最先进的深亚微米CMOS技术来降低功耗，而RF和其他模拟组件则传统上使用较老的工艺技术。较老的CMOS乃至BiCMOS技术能以合适的成本为这些主要的模拟分立器件（“Big A”）提供所需的性能。但是要转为使用数字主导的SoC（“Big D”）则要求使用基于最先进CMOS的数据转换器，通过显著的功耗和成本节约来实现商业可行性。这些数据转换器的集成如图3所示。

对SoC器件本身，集成数据转换器就无需使用JESD204B IP核和使用器件的高速串行收发器。通过避免使用分立器件、接口、IP核和收发器，随着通道数量增多，系统功耗随之下降。在单通道RF数据转换器上，通过避免这些因素，在4 Tx/4 Rx无线电中能降低40%的功耗，在8 Tx/8 Rx系统中能降低50%的功耗，如表1所示。

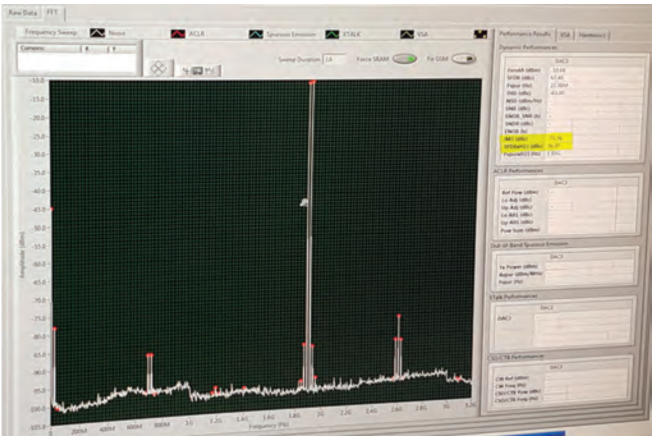


图6：RF DAC在1.9GHz生成两个频调，间隔20MHz。

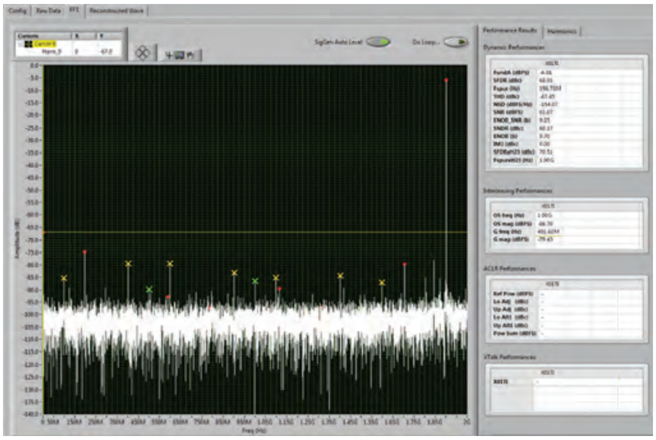


图7：RF ADC以4GS/s采样的连续波频调的FFT。

## 缩小系统外形尺寸

无线电外形尺寸（大小或体积）从租金、风载和当地政府法规和限制合规方面，是保障部署的关键因素。缩小无线电单元的体积是一项重要的设计标准。集成RF类数据转换器能明显地缩小外形尺寸，如图4所示。外形尺寸缩小的比例与系统中天线的数量成正比。PCB面积可缩减40%-75%。使用四通道ADC和DAC的8 Tx/8 Rx如图4所示。

## 缩短设计周期和取消JESD204接口

除了降低功耗和缩小外形尺寸方面的好处，取消分立数据转换器还能通过多个途径缩短设计周期。因为大部分现代转换器目前都使用基于JESD204协议的12.5-25Gbps高速串行接口，设计收敛（closure）在数字、模拟和系统层面都受影响。JESD204 IP核必须在数字FPGA架构中实现，但是可以说难度更大的是确保数字转换器和无线电的DFE之间的稳定串行数字链路。大部分由于在低成本高损耗互联上运行高线路速率（12.5Gbps-25Gbps），信号失真是一个严重的问题。取消DFE和RFFE接口就可以克服这一问题，减少了电路板层数、降低PCB上时钟走线的复杂性和对通信链路的同步要求。

## 使用16nm FinFET实现RF采样带来的设计灵活性

RFSoC中的直接RF采样DAC和RF采样ADC针对低于6GHz频段内的5G Radio无需使用中频(IF)级采样，从而降低RFFE的复杂性，如图5所示。直接RF采样与高度优化的RF数字信号处理引擎（即DDC和DUC）集成，提供了一种相对于传统模拟频率转换和滤波灵活性高得多的方法。提高采样速率后，通过抽取和过滤ADC输出，只提取有意义的信号带宽，能够简化模拟滤波要求并且在动态范围（SNR）和数字域的信号带宽之间取得更好的权衡。IF方法中的部分难以避免的RF缺陷被明显减轻或完全避免（例如通带纹波、群延迟变化、匹配和本地振荡器（LO）泄漏问题）。

凭借先进的CMOS技术（即16nm FinFET），可将RF信号处理实现在数字域中并确保出色的能效和成本效益。依托16nm技术，RFSoC架构中的RF采样解决方案提供灵活的RF前端，同时以比模拟技术低得多的功耗水平支持高达2GHz的高带宽。

## 演示ADC和DAC性能

新的数字化辅助技术帮助设计人员运用先进的CMOS技术解决集成先进RF采样转换器的难题。[2]通过使用低成本、高能效的16nm FinFET数字晶体管，可以添加极为精密的数字校准来纠正任何模拟电路的缺陷。这种实现先进RF采样转换器的方法能够从缩减功耗和占位面积两个角度带来大量的好处。它还提供一种能随摩尔定律缩小到7nm乃至更小的工艺平台技术。

从配备RFSoC的直接RF采样转换器的16nm FinFET测试芯片得到的结果显示，在考虑工艺、温度和供电变化后进行评估，6.8GSPS RF DAC和4GSPS RF ADC均体现出优异的性能、线性和模拟特性。[2]内置的校准和数字辅助技术为整个PVT提供高度一致和稳定的性能。

DAC的输出在大约1.9GHz的载频下生成两个频调，间隔20MHz，如图6的罗德与施瓦茨FSW频谱分析仪输出所示。3阶互调体现该DAC有极高的线性，大致为-75dBc。这处于延伸至3.2GHz的第一奈奎斯特域中。回叠的2阶和3阶镜像也展现出该DAC的优异性能。

对ADC，用罗德与施瓦茨SMW200A向量信号发生器产生的高质量信号合成CW和调制过的波形。信号源进行的额外模拟滤波提供了评估ADC所需的信号纯度。采集到的数据使用美国国家仪器（NI）提供的LabView软件实现的快速傅里叶转换（FFT）开展分析，如图7所示。-3dBFS 1.9GHz CW信号的FFT的采样率为4GSPS，该图显示的是ADC的第一奈奎斯特域。2阶和3阶失真分量被混叠到第一奈奎斯特域中，如红色标识所示。所示的其它失真分量为交错伪影，已被内置校准功能明显抑制。

## 克服RFSoC的设计难题和应用限制

和任何复杂的SoC一样，在开发全可编程RFSoC时需要进行权衡取舍和设计选择。这包括满足严格的功耗目标、硬件设计人员在实现他们的最终应用时对各种限制所做的精心思考、提供拥有正确的经优化和可编程信号处理搭配的平台。

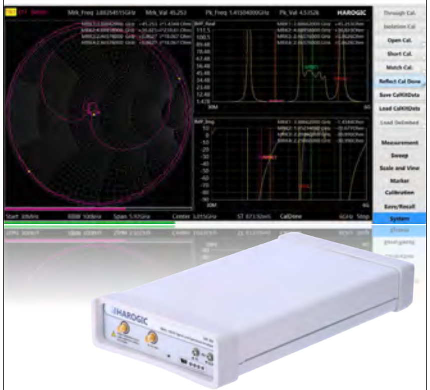
## 功耗密度

由于缩小外形尺寸和极大提高性能，5G NR面临严峻的功耗密度难题并带来热工程难题。该系统的功率放大器和其它组件会产生较高的工作环境温度，一般采用无源冷却。为让组件在它们的额定工作温度范围之内工作，它们的功耗一般不得超过35W，否则热解决方案会变得过于复杂且成本高昂。

虽然集成RF采样数据转换器能极大地降低系统功耗，一定要避免大幅度增大SoC的功耗。在理想情况下，转换器的功耗和JESD204B等外部IO接口的功耗一样，因此解决方案的功耗基本无变化。这样就促使开发RFSoC过程中出现大量设计选择和技巧，包括使用数字辅助模拟和交错降低转换器的功耗。

## 实用硬件解决方案

RFSoC需要满足多项关键要求，如高度混合信号环境中的通道隔离




（一般需要大于70dB）和对其它噪声源的抗干扰性。该SoC是一种数字主导(Big“D”)器件，支持外部内存接口以及100GE等系统接口和通用的公共射频接口。通过该SoC的精心设计和布局规划，加上封装和PCB联合设计，RFSoC无需使用高成本PCB设计规则或非标准制造方法就能实现极为稳健的性能。

## 最大化灵活性

传统SoC设计涉及功能、成本和功耗间的权衡取舍。开发RFSoC也不例外，但享有显著提高的自由度带来的好处。DDC等一般性功能在高能效的16nm FinFET逻辑中实现；而大量应用专用功能则高效率地在可编程逻辑中实现。RFSoC在专用硬化数字信号处理和用户可配置高性能处理间取得平衡。造就了一个能实现包括无线电在内的多种应用的全可编程平台。

选择16nm FinFET这样的先进CMOS技术是保持这一灵活性、适应不断变化的标准，让设计人员能够迅速响应新涌现的要求的关键一环。直接RF采样让RF以尽可能快的速度进入数字处理域，以便运用先进CMOS技术在数字域中极为高效地加以处理。

## 与3GPP规格时限对接

全可编程RFSoC的推出与5G NR规格的时限极为吻合。5G NR的非独立式规格草案（15版）预定于2017年12月发布。15版的独立式5G NR部分预计在2018年6月前完成。非独立式模式将使用LTE作为控制面锚定。5G NR的独立式模式控制面将在2018年6月发布的版本中界定。3GPP行业工作组正在激辩15版中准备纳入的超可靠低延迟通信（URLLC）用例的范围。鉴于15版紧张的时限，URLLC用例的许多方面定于在2019年年底发布的5G NR 16版中揭晓。

## 总结

使用全可编程RFSoC，能将同一硬件用于满足多样化需求和新兴标准，让厂商能运用既有成果迅速应对新市场机遇。就5G系统而言，越来越清楚的是没有一种类型的无线电能满足新一代无线接入网络（RAN）的多样化需求，因此不同无线电类型的数量预计将明显增多。[3]■

参考文献

1. Boris Murmann, IEEE Micro, Volume: 26, Issue: 2, March-April 2006: “Digitally Assisted Analog Circuits.”
2. While the test chip demonstrates a 6.8 GSPS DAC, All Programmable RFSoC specifications currently target 6.4 GSPS DAC performance.
3. “Final report on the METIS 5G System Concept and Technology Roadmap,” METIS Deliverable D6.6, https://www.metis2020.com/wp-content/uploads/ deliverables/METIS_D6.6_v1.pdf

---

上接第6页

44GHz解决方案，它将CMOS和SiGe结合在一起，用于高度集成的无线电产品，并已与这一领域的多家公司合作。也是在IMS中，OMMIC讨论了为28GHz相控阵列开发前端MMIC的工作。该IC集成功率放大器、低噪声放大器和开关，其功率放大器输出功率为37.5dBm，功率附加效率为35%，小信号增益为22dB。OMMIC正在使用GaAs开发为阵列提供幅度和相位控制的核心芯片，并认为纯粹基于CMOS的阵列将不能提供所需的EIRP。

Qorvo有与OMMIC相同的观点，并宣布了为39GHz相控阵列设计的氮化镓前端模块。前端模块涵盖37至40.5GHz，并包含两个通道，每个通道包含多功能氮化镓MMIC，其中包含三级功率放大器、三级低噪声放大器和一个单刀双掷收/发开关，采用Qorvo的0.15微米碳化硅基氮化镓工艺制造。功率放大器提供23dBm的平均输出功率。但是硅基半导体制造商通常会发现该阵列是受散热限制的并且可以实现所需的EIRP（约65dB）。这似乎是一个有争议的问题，一旦确定了关键指标并有了测量结果，我们就应该能得出结论了。这两种方法似乎都有效，就看性能和成本问题了。

我们还不了解英特尔、三星、华为和其它公司此类项目的进展情况，因此，明年它们将会在行业内如何发挥作用很值得关注。我预计毫米波系统将在最初的5G部署中发挥主要作用。市场研究公司EJL Wireless Research似乎同意这一观点并预测：到2021年，28GHz的5G和固定无线接入收发器将超过2000万台。3G和4G系统是将模块和组件组合在一起构建系统的，但是，我认为5G将由于射频的复杂性和对射频性能的苛刻要求而有所不同。我认为提供完整阵列或子系统的优化解决方案的公司将是赢家。■