互操作可以实现完整的 RFIC/封装/电路板协同设计流程

Interoperability Enables a Complete RFIC/Package/Board Co-Design Flow

作者：Juergen Hartung 是德科技（原安捷伦电子测量事业部）有限公司 RFIC 产品营销经理

近年来，移动通信设备需求飞速提升，进一步增加了设计流程的复杂程度。此外，提高数据速率并支持多标准和全新毫米波频率，产品体积持续缩小，设计成本不断降低，功率预算日趋严苛，电气性能要求日益提高，加上收紧的设计周期，都在让设计及随后的产品面临严峻的挑战。

现在，工程师面临的最棘手问题并非 RFIC 实现，而是如何实现 RFIC 与系统的集成，包括封装、裸片或者模块 / 系统级封装（SiP），同时确保参考设计电路板进行测试时系统能够满足严格的性能要求。应对上述挑战需要整体方法和完善支持互操作的工具、流程与设计方法，同时保证灵活性，以适应不同的集成类型、制程技术和客户特定的设计限制。不同代产品或不同应用之间，设计限制可能不同。

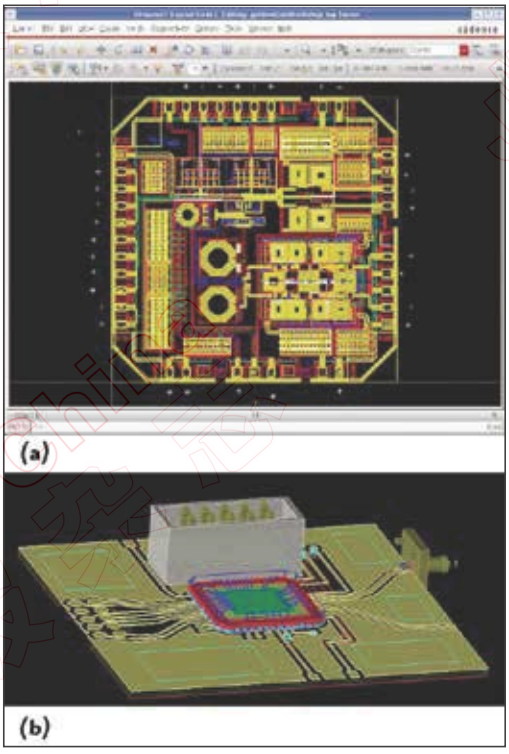

图 1. 结合 QFN 封装和电路板运行 RFIC 部件电磁仿真。

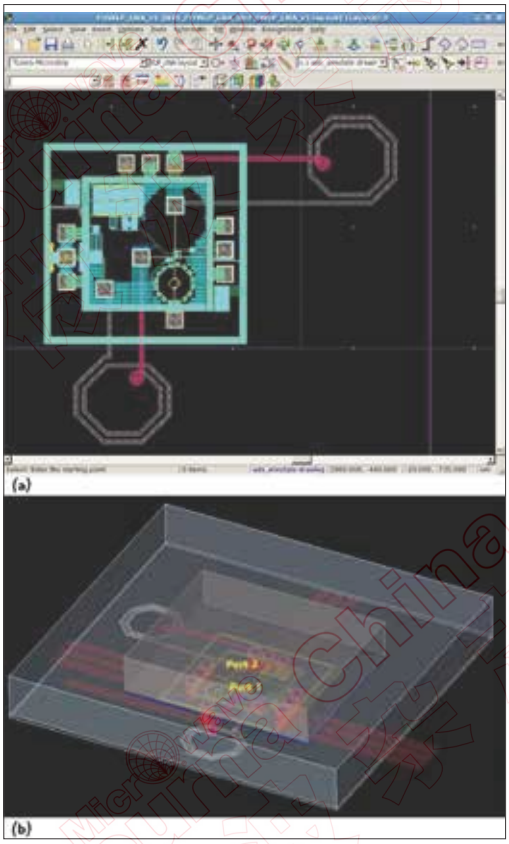

图 2. 包括集成无源器件的扇出晶圆级封装测试结构 (a) 以及包括焊球和电路板导线的三维视图 (b)。

支持互操作的协同设计流程

MMIC 和硅基 RFIC 设计人员通常独立工作，并使用不同的工具、方法和流程创建、仿真、实施及验证设计。Cadence Virtuoso 是广泛应用的硅基 CMOS 设计平台，尤其适合大型模拟 / 混合信号应用。Keysight ADS 是领先的砷化镓（GaAs）和氮化镓（GaN）MMIC 设计工具。

连接两种设计流程的需求早已存在，而元器件（例如 CMOSSOI 天线开关）材料从 III-V 向硅的转变，以及无线 HDMI 和雷达领域中毫米波硅应用的增加，进一步增加了支持互操作的必要。选用哪款工具以及何时使用取决于多种因素，例如设计人员的偏好、流程设计套件（PDK）支持、电路类型，甚至设计人员曾使用的工具和使用体验等历史因素，而没有考虑如何最佳匹配任务。

由于应用领域非常广泛而且流程复杂，依赖一款全能工具满足所有需求是不现实的。除了 IC 级设计工具，跨领域设计解决方案的需求也日益显著。传统 IC 版图设计工具属于二维工具，仅支持在单（硅基）基板载体上绘制器件和进行互连，而 ADS 等工具支持多工艺设计和参数化三维元器件集成。

为确保随时提供最佳的设计支持，工程师需要真正支持互操作的协同设计流程。什么是协同设计？简而言之，协同设计环境可以让设计人员验证和优化整体系统，包括连接元器件的接口（例如 IC 对 IC、IC 对封装或封装对电路板）。

以往，关注重心是如何在常用平台中集成特定功能（工具）或者在两个环境之间构建导入 / 导出链路，占用了设计人员大量的时间和精力。然而，可以作为定制 IC 设计公用数据库的 OpenAccess 在数年前推出，并逐渐成为实际标准，获得了大多数 EDA 厂商的支持。引入 iPDK 等其他尝试也在朝着改善 EDA 工具的互操作性方向上努力。

这些努力可以帮助 ADS 和 Virtuoso 等工具改善互操作性，为工程师提供真正支持互操作的协同设计流程。借助协同设计流程，原理图设计人员可以在 Virtuoso 或 ADS 中打开一个 OA 原理图视图，执行修改和仿真，然后在其他环境中再次打开。版图设计人员可以在 ADS 中打开 Virtuoso 版图视图，假设 SKILL pcell 已进行扁平 (flatten) 处理。

现在的问题是：这对设计人员克服当前无线前端设计挑战有什么帮助？要回答这个问题，我们将列举三个不同的实例，以说明 RFIC 目前的集成方法（QFN 封装的 RFIC、倒装裸片和射频模块），以及支持互操作的协同设计流程如何应对挑战。所有三个实例具有相同的设计要求。

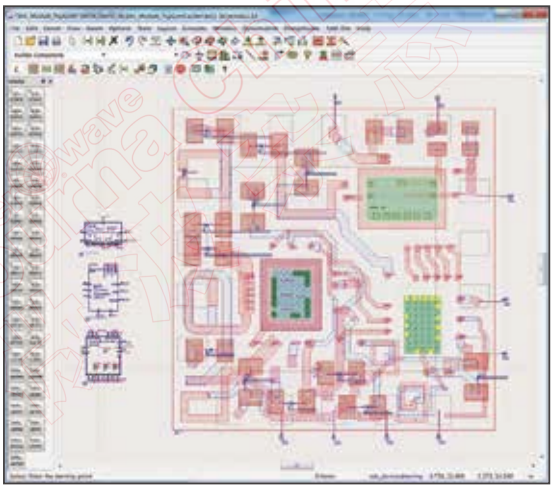

图 3. 功率放大器模块。

验证 RFIC，包括 QFN 封装和电路板效应

RFIC 通常置于表面贴装技术（SMT）封装中，最高工作频率可达到约 45 GHz。无线和微波频率 IC 最常用的封装方式是方形扁平无引脚（QFN）封装。[1] 更高频率的芯片封装必须考虑射频信号键合线串联电感以及对地电感（芯片、封装和电路板）两项挑战。

图 1 是 Virtuoso 收发信机 IC 版图。焊盘以及低噪声放大器（LNA）到功率放大器（PA）的顶层互连在 Virtuoso 中保存为版图 cellview，而后在 ADS 中打开。通过 QFN 方式封装该部分 IC（在 ADS 中作为“pcell”提供）。除了为芯片添加焊接线并将芯片放置到包括参数化连接器三维模型的基准电路板上，设计人员无需绘制任何封装版图。

在完成组装后（在 ADS 中显示为三维图像），可以启动三维有限元法（FEM）仿真，将完整的布板耦合特性仿真出来并存入 S 参数文件。使用对应的原理图测试台也可以启动电磁 / 电路协同仿真，以最大限度减少寄生效应或优化接地路径，同时检查额外的封装耦合，或 RFIC 输出端的匹配变化以及如何重新调整电路。

支持扇出晶圆级封装协同设计

晶圆级芯片尺寸封装（WLCSP - Wafer-level chip scale packages）可以减少射频寄生，缩减总体设计尺寸，同时提高设计性能，因此得到了日益广泛的应用。在倒装芯片晶圆级封装中，焊珠直接置于硅裸片之上，并通过一个或多个重分布层（RDL - re-distribution layers）中的金属导线连接。随后，将封装直接安装到电路板上，裸片表面朝下。在所谓的扇入配

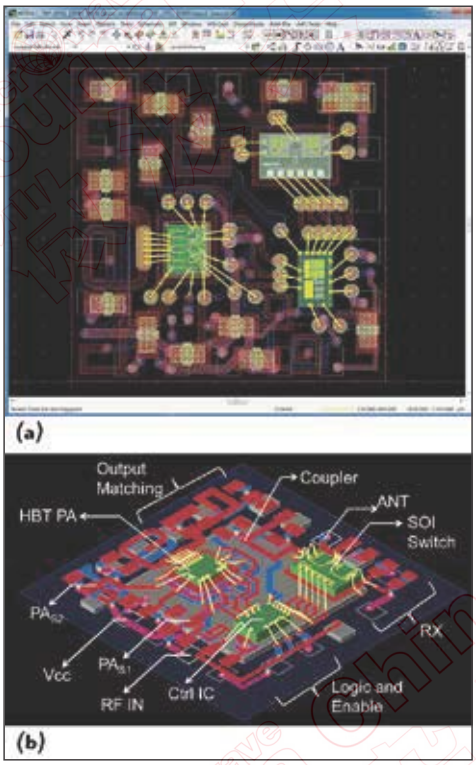

图 4. ADS 功率放大器模块顶层测试台，基板使用“版图外观”的符号表示。

置中，获得的“封装”是真正的芯片尺寸；扇出配置的裸片嵌入模材料中，可以支持更多的 I/O 而且不会受到实际裸片尺寸的限制。扇出配置还支持在模材料中嵌入多个裸片，并构建集成度更高的大型系统。

图 2 是扇出晶圆级封装 CMOS IC 版图，模材料中嵌入了两个电感器。即使不考虑焊珠的三维特性和电路板的影响，使用传统（二维）IC 版图工具也无法完成此类设计。图 2 三维视图还提供部分测试结构显示，包括真正的三维焊珠和测试电路板。与需要把测试结构分割为裸片区域和模塑区域且无法考虑焊珠或测试电路板互连的仿真相比，完整配置的仿真结果中可以明确看出仿真性能出现明显偏移。

射频模块实现

射频前端模块是用于详细介绍多工艺系统设计挑战的第三个实例。图 3 是一个典型的 4 层 3 裸片功率放大器模块：一个 WIN 制程 GaAs HBT 功率放大器，一个 TowerJazz CS18 制程绝缘硅（SOI）发射 / 接收开关以及控制 IC。同时，功率放大器包含其他表面贴装器件和嵌入无源器件。此类产品面临的最重要设计挑战在于了解和解决不同 IC 工艺集成可能产生的问题。由于商用无线产品的设计周期非常短，提前预测并解决上述问题是满足紧迫的样片提交计划的重要保证。[2]

假设应用 ADS 实现 GaAs 功率放大器从前端到后端的设计，并借助 Virtuoso 完成数字控制 IC 设计，而 SOI 开关需要分别使用 ADS 和 Virtuoso 实现射频（包括电磁效应）和模拟建模。鉴于两款工具支持互操作，射频模块设计人员现在可以轻松整合各个设计，实现真正的协同设计，并确保系统忠实体现设计性能。

例如，开关 IC 设计人员需要设计一个满足接收机隔离要求的电路，却发现模块中相邻导线耦合会影响隔离。现在，开关设计人员可以同时使用 SOI 和基板技术协同设计开关，意味着设计人员能够分析出是调整 IC 焊盘的间距会起作用，还是要添加其他串联 / 并联器件能改善隔离，或者采用倒装芯片方法才能获得更佳的隔离效果。

ADS 等软件的自动电磁 / 电路协同仿真流程可以提供高效的方法，帮助工程师混合并匹配不同的设计子层，管理是使用电磁仿真器，还是使用现有原理示意图、模型或者寄生效应提取图参与仿真。电热仿真器也是类似应用的重要工具，可以提供包括器件间热耦合以及芯片与封装传热在内的热效应仿真结果。

高效可回标的提取模型或 S 参数数据文件是协同仿真的一项重要特性，支持在顶层测试台中应用，以便重新仿真寄生效应。例如，图 4 是 ADS 中的功率放大器模块顶层测试台，基板通过“版图外观”的符号表示。在单一数据库中整合所有设计组件不仅支持快速设置和电磁仿真，而且能够方便地在所有设计结构中应用结果，例如仿真芯片模到基板干扰。

总结

通过上述三个不同的应用实例，您可以了解协同设计流程支持互操作的重要性，及其对可靠和高效设计 RFIC 和集成封装设计的作用。设计流程管理所有相关设计领域中设计组件之间电气和物理连接。未来，集成度将不断提高，例如功率放大器模块进一步集成到 SOI 技术中，前端模块与收发信机整合程度提升。尽管如此，互操作协同设计流程的需求和重要性并不会减弱，其作用反而将日益凸显。协同设计流程能够帮助满足严苛的上市速度要求、简化复杂的成本结构并平衡系统体系结构设计要求，将逐步成为设计人员最青睐办法。■

参考文献

1. L. Devlin，“The Future of mm-wave Packaging,”，《微波杂志》2014 年 2 月，页码 24-38.
2. C.C. Liu 等，“High-performance integrated fan-out wafer level packaging (InFO-WLP): Technology and system integration”，Electron Devices Meeting (IEDM), IEEE International Conference，2012 年美国加州旧金山，页码 14.1.1-14.1.4