串行数据通信中电源电压的噪声

Noise on Vcc for Serial Data Communications

作者：Vitali Penso Noisecom 无线电信集团公司

电源电压（Vcc）技术参数是几乎所有的集成电路（IC）的关键参数。除非电源电压是满足要求，否则无法知道集成电路的其他技术参数是否可靠。因此在说明一个器件的运行电源电压范围之前，设计人员、验证和质量工程师使用大量测试的结果来确保IC在已测试的电源电压范围内满足所有的技术参数要求。随着电源电压反射系数（PSRR）参数在一些模拟和射频集成电路上的应用，经常忽略IC对电源电压的噪声和毛刺的抑制能力。

IC设计验证通常使用实验室干净的电源，在理想状况下，很好地屏蔽电源线到基线的性能。但是那些理想的状况几乎从不是实际的电路和应用中的IC运行状态和环境。结果几乎所有的IC制造厂商会提供参考设计和版图的常规方法来使Vcc噪声减到最小。最后，在参考设计和应用电路的要求上，具体的应用和运行环境还要求其他的预防措施，电路板的设计人员需要提供干净的Vcc到IC上。除非IC制造厂商提供了器件噪声抑制的详细信息，电路板设计人员可能被迫需要保险设计电源供应电路，而且考虑到空间和成本矛盾，这个电路不是总能够实现的。设计人员可能不得不做些经验性的猜想或者被迫做另外的电路板计划来验证没有抑制问题。额外的工作不可避免得延迟产品发布和增加运作成本。

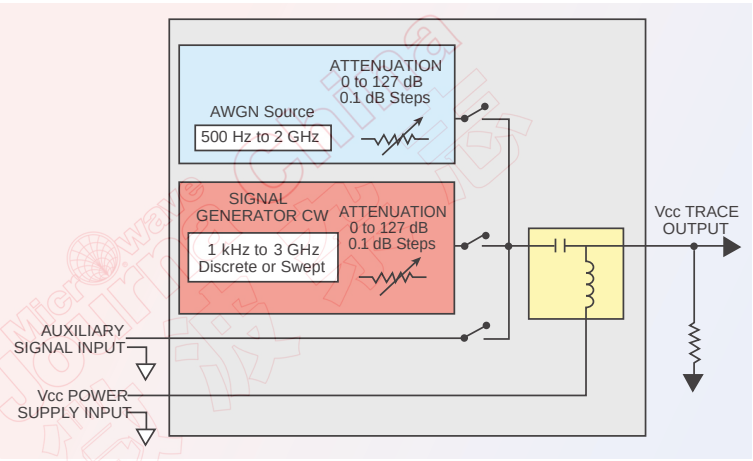

图 1. JV9000 的框图。

尽管Vcc上的噪声概念不是新鲜的事，过去几十年里IC芯片技术的进步有了新的挑战。主要通过微缩制作，高集成度和低电源电压带来可靠性、成本和性能的好处，例如元器件的减少、电源效率和热性能的提高。同时，低的电源和I/O电压的引入使得集成电路板级设计人员有新的设计挑战。原来在3.3和5V不重要的噪声，在1.2V的IC上，由于低的噪声容限不能被忽略。一块IC集成数字、模拟和射频功能，运行高的数据速率将产生更高的内部噪声，使得低压高速器件更容易受到额外的Vcc外部噪声和毛刺影响。

Vcc上的噪声广泛影响应用和电路。在收发机，由于模数转换器（ADC）和数模转换器（DAC）的电源噪声，接收机灵敏度和发射机散射发射性能可能会下降。同时，对于在接收机设计中使用的PLL/VCOs和PLL/VCXO/XOs中的时钟和本振电路（LO），电源噪声会产生时钟抖动和LO相位噪声影响散射发射和接收机灵敏度。在高速串行数据通信电路，PLL/XO电路中Vcc的噪声和毛刺引起的时钟抖动，将导致数据抖动有可能降低BER性能。

在这个应用注解中，我们看高速数据/时钟缓冲器IC、DUT和它们的电源噪声对整体的系统性能影响，使用BER测试来测量系统

性能，眼图作为可视化工具用来补充测试。使用 Noisecom 的 JV9000 单元完成额外的白高斯噪声（AWGN）和连续波（CW）加入 DUT 的 Vcc 路径。这个单元引入一个干净的电源电压，然后用一个 0.1dB 精度的可控方法，加入 CW 或者 AWGN 或者两者都有（见图 1）。

我们还使用抖动发生器来降低信道的 BER 性能。这个单元加入 AWGN 噪声到串行数据，造成随机抖动。在 1 到 0 或者 0 到 1 的转变时间段，产生了这个抖动，会造成接收机错误地解释转变时间。导致的时间不确定性被称为抖动，并且对于 AWGN，它是随机的。这个单元的高波峰参数的输出允许实际峰的产生，使得它在 BERT 测试中理想化，并且能够被作为随机抖动源被使用在多种串行数据总线的应用，包括 PCI Express Gen I&II、Serial ATA、Fiber Channel、10/40 和 100GB Ethernet（802.3）。

在测试设备中，BERT 的信号发生器被使用在高速差分串行数据源，并且 BERT 输出接在 J7000。注意到，对于测试的初始部分，J7000 是在旁路模式（没有附加噪声）下工作。引入随机抖动降低串行链路性能用作我们测试的第二个阶段。J7000 的输出供给 DUT，DUT 的输出然后驱动 BERT 探测输入，把信号返回给 BERT 接收机。DUT 的 Vcc 来自于 JV9000，并且形成时没有噪声和毛刺信号，为基线的测试提供一个干净的电源电压到电路板。装置的框图如图 2 所示。

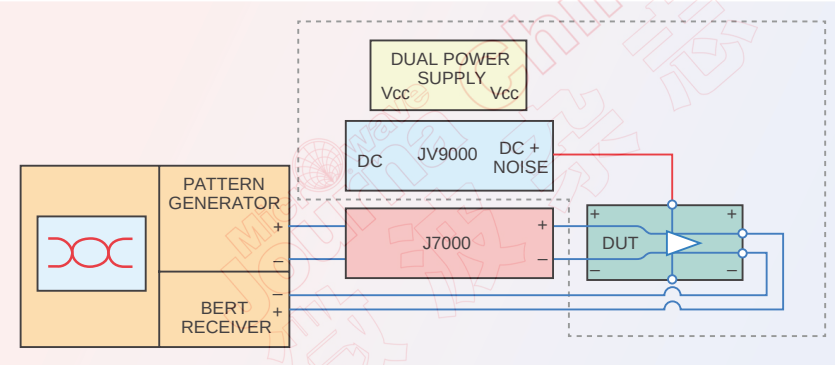

图 2. 测试装置的框图。

为了模仿 IC 设计人员或验证工程师如何测试 IC 对 Vcc 的噪声和毛刺的抑制性能，DUT 电路板的旁路电容被移除，使得测试人员能够看到 Vcc 上的哪个频率对系统性能有最大的影响。在阐述测试步骤和结果之前，重点注意到对于 IC 性能验证测试，设计人员或验证工程师愿意使用没有评估板寄生效应的特定装置，以便于测试 IC 原始的性能。在这个测试装置中，评估板的寄生效应很有可能会对结果又影响。事实上，考虑到一个特定的版图和它的寄生效应，这个测试装置更接近于电路板设计人员测试一个电路的噪声抑制性能。

测试步骤：

1）JV9000 和 J7000 噪声和毛刺源都被关闭来建立 BER=0 的基线性能（见图 3）。

2）JV9000 AWGN 路径被打开，加入的噪声缓慢增加，同时 BER 被检测。

3）JV9000 AWGN 噪声源被关闭，10kHz、100kHz、1MHz、10MHz 和 100MHz 的连续波信号加入来观察 BER 在各个频率上怎么改变，注意到连续波从 Vcc 到数据的耦合会导致决定性的抖动。

4）最后，AWGN 打开重复步骤 3 来看 AWGN 和 CW 毛刺对 BER 性能的联合作用。

5）我们然后关闭 JV9000 的所有宽频噪声和 CW 信号，

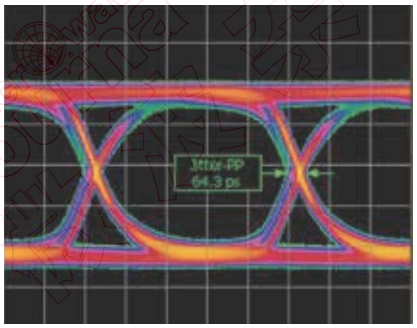

图 3.“干净”没错误的信道 BER=0（J7000he Jv9000 都关闭，没有引入噪声）。

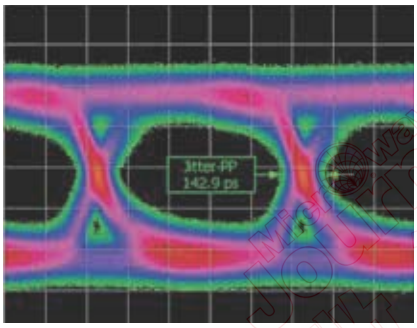

图 5. BER=1E-07（J7000 加入 AWGN 噪声 -10dBm，JV900 关闭）。

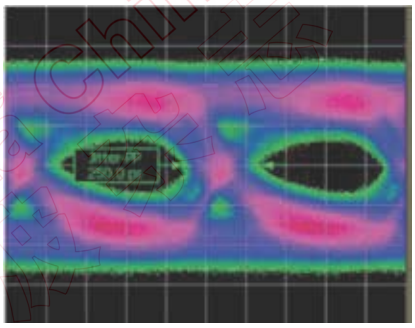

图 6. BER=9E-05（J7000 加入 AWGN 噪声，JV9000 加入 AWGN 和 1MHz 连续波）。

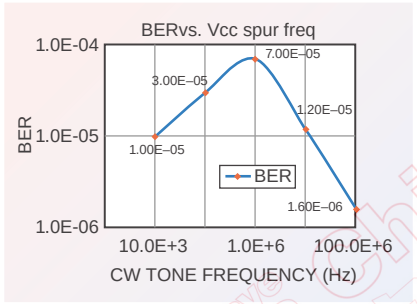

图 4. BER vs 连续波（毛刺）频率。

表 1.
数据总结 当基线信道的性能为 1E-07

噪声源	BER
AWGN	2.5 E-07
CW – 10 kHz	1.0 E-05
CW – 100 kHz	3.0 E-05
CW – 1 MHz	7.0 E-05
CW – 10 MHz	1.2 E-05
CW – 100 MHz	1.6 E-06
AWGN + 1 MHz	9.0 E-05

使用 J7000 抖动发生器产生随机抖动，通过加入 AWCN 到数据线，降低 BER 信道到 1E-7。重复步骤 2、3 和 4 同样的测试在 10E-7 BER 信道来看在已经降低的信道上 Vcc 的 AWGN 噪声和毛刺的联合作用。

总结测试结果，当初始的 BER 信道为 0，AWGN 噪声和 CW 最大地加入到 Vcc（0dBm 在之前提到的频率以及 0dBm 总的从 500Hz~2GHz 的 AWGN），即使加入的噪声能够在眼图上很容易地观察到，我们无法引入关键的比特错误。所以有证据说明从 Vcc 到数据输出管脚的噪声泄露，但对 BER 性能没有影响。然而，当通过 AWGN 噪声引入到数据线，产生随机抖动，BER 被降到 1E-07，加入的噪声和毛刺确实有重要影响，在 BER 从 1E-07 到 7E-05 以及 1MHz CW 被加入中。不足为奇的是电源电压从 100kHz 到几 MHz 逐渐转变，所以 IC 的 Vcc 噪声在低频的抑制在多数涉及中是重要的。

测试结果在表 1 中展示，BER 信道基线在 1E-07。看图 4，图解 DUT 对加入不同频率的响应。

加入从 500Hz~2GHz 的宽带噪声（AWGN）到 IC（DUT）增加系统 BER 到两倍。但是，当加入的电源集中在某一频率（CW），影响变得大多了。随着加入到 IC 的 Vcc 管脚的恒电源信号频率改变，它对接收机也有影响。我们看到 BER 在 1MHz 附近谐振，也是 BER 下降最多的地方，当 1MHz 的 CW 信号加入。

图 3、5 和 6 是眼图对于不同的测试条件。图 3 显示当 BER=0 以及所有的噪声源被关闭的眼图。图 5 显示 BER=1E-07 当只有 J7000 加入信号（JV9000 噪声信号关闭）的眼图。图 6 显示在最差的毛刺和噪声条件下，当基线信道性能 BER 为 1E-07，接受到的信号的眼图。

总结

随着 Vcc 电平和 IC 逻辑电路的电平下降以及多功能集成在混合信号环境，会产生 IC 内部更多的噪声，测试噪声和毛刺对 IC 工作的 Vcc 影响的需求越来越重要。这个应用注释的目标是展示 IC 性能验证工程师和电路设计者，在有 Vcc 的噪声和毛刺情况下，如何能够描述 IC 或者电路的工作特性。这个测试结果显示 IC 对 Vcc 的噪声和毛刺在某些频率下会变得更敏感。另外，数据抖动和 Vcc 噪声联合对接受机性能有非常不同的影响，相比于从单独一个的独立测试中猜测的结果。更进一步，与应用注释一致的开展的测试也是有必要的，当一个 IC 设计人员、应用工程师或者电路设计者需要决定，为了最佳的 IC 性能什么滤波器需要 Vcc。

有很多被采用的自制的解决方案进行这些测试。当多测试状态需要被建立或者设计队伍在不同地区需要一起工作，一个集成测试装置允许测试和验证工程师用可重复和可控的方法来开展他们的测试。也能够节约程序、控制台空间、装置和系统验证。■